

STIC Translation Branch Request FormPhone: 308-0881 Crystal Plaza 3/4, Room 2C15 <http://ptoweb/pater>

PTO 2004-0748

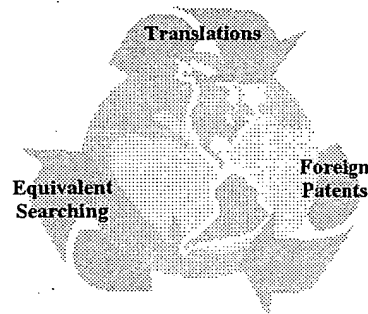
S.T.I.C. Translations Branch

Information in shaded areas is required**Fill out a separate Request Form for each document**

U. S. Serial No. : 10/067441
Requester's Name: "John" Jung Hur Phone No. : 308-1624
Office Location: CP3-3B11 Art Unit/Org. : 2824
Is this for the Board of Patent Appeals? NO
Date of Request: 11/19/03
Date Needed By: 12/3/03
(Please indicate a specific date)

Document Identification (Select One):Note: If submitting a request for patent translation, it is not necessary to attach a copy of the document with the request.If requesting a non-patent translation, please attach a complete, legible copy of the document to be translated to this form and submit it at your EIC or a STIC Library.

1. ☒ Patent Document No. JP02188836A
Country Code JP
Publication Date 7/24/90
Language Japanese
No. of Pages _____ (filled by STIC)

Translations Branch
The world of foreign prior art to you.

2. ☐ Article Author _____
Language _____
Country _____
3. ☐ Other Type of Document _____
Country _____
Language _____

To assist us in providing the most cost effective service, please answer these questions:

- > Will you accept an English Language Equivalent? YES (Yes/No)
> Would you like to review this document with a translator prior to having a complete written translation?
(Translator will call you to set up a mutually convenient time) YES (Yes/No)
> Would you like a Human Assisted Machine translation? NO (Yes/No)
Human Assisted Machine translations provided by Derwent/Schreiber is the default for Japanese Patents 1993 onwards with an Average 5-day turnaround.

STIC USE ONLY**Copy/Search**

Processor: _____
Date assigned: _____
Date filed: _____
Equivalent found: (Yes/No) (No)

Doc. No.: _____
Country: _____

Translation

Date logged in: 11-19-03
PTO estimated words: 3,652
Number of pages: 8
In-House Translation Available: NO
In-House: _____
Translator: _____
Assigned: _____
Returned: _____

Contractor:

Name: MC
Priority: S
Sent: 11-20-03
Returned: 12-3-03

E-mailed



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-188836

(43)Date of publication of application : 24.07.1990

(51)Int.Cl.

G06F 11/22
G06F 15/78

(21)Application number : 01-008370

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 17.01.1989

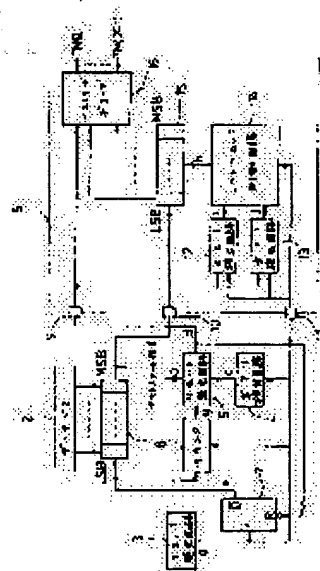
(72)Inventor : KON YOSHIHIKO

(54) TEST MODE SETTING CIRCUIT FOR MICROCOMPUTER

(57)Abstract:

PURPOSE: To use only one pin in terms of the number of set data application terminals and to miniaturize a package by providing a shift register having the same number of bits as those of the test mode setting data.

CONSTITUTION: When a test mode permission signal (d) serves as one of two levels, a shift clock (h) is produced from a shift clock control circuit 14. Then the test mode setting data (f) having the prescribed number of bits are successively and serially stored in a shift register 15 via a setting data application terminal 10. When the signal (d) serves as the other level, a test mode decoder 16 decodes the storage contents of the register 15 and produces the test mode control signals TM0-TM(2n-1). Thus only one pin suffices with the number of terminals 10 of a microcomputer 6 regardless the number of test mode control signals when the register 15 having the same number of bits as those of the data (f) is provided. Then a compact package is obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

PTO 04-748

Japanese Kokai Patent Application
No. Hei 2[1990]-188836

TEST MODE SETUP CIRCUIT OF MICROCOMPUTER

Yoshihiko Ima

**UNITED STATES PATENT AND TRADEMARK OFFICE
WASHINGTON, D.C. DECEMBER 2003
TRANSLATED BY THE RALPH MCELROY TRANSLATION COMPANY**

JAPANESE PATENT OFFICE
PATENT JOURNAL (A)
KOKAI PATENT APPLICATION NO. HEI 2[1990]-188836

Int. Cl. ⁵ :	G 06 F 11/22 15/78
Sequence Nos. for Office Use:	7368-5B 7343-5B
Filing No.:	Hei 1[1989]-8370
Filing Date:	January 17, 1989
Publication Date:	July 24, 1990
No. of Claims:	1 (Total of 6 pages)
Examination Request:	Not filed

TEST MODE SETUP CIRCUIT OF MICROCOMPUTER
[MAIKUROKONPUTA NO TESUTO MODO SETTEI KAIRO]

Inventor:	Yoshihiko Ima
Applicant:	Sanyo Electric Co., Ltd.

[There are no amendments to this patent.]

Claim

A test mode setup circuit of a microcomputer, characterized by the fact that in a test mode setup circuit of a microcomputer that generates a test mode control signal for setting the microcomputer inside to a prescribed test mode, it is equipped with a test mode permit terminal to which a test mode permit signal for permitting the setup of the above-mentioned test mode is given, a setup data applying terminal to which test mode setup data of the number of bits corresponding to the number of test modes settable in the above-mentioned microcomputer are serially given, a shift register to which the test mode setup data of the above-mentioned number of bits are sequentially shifted, a shift clock control circuit that generates a shift clock for shifting the above-mentioned shift register based on a generation period of one level in the

above-mentioned test mode permit signal and said test mode permit signal, and a test mode decoder that generates the above-mentioned test mode control signal by decoding the stored contents of the above-mentioned shift register based on the other level of said test mode permit signal after the generation of one level in the above-mentioned test mode permit signal.

Detailed explanation of the invention

Industrial application field

The present invention pertains to a test mode setup circuit of a microcomputer which is appropriately installed in microcomputers for evaluation, mass production, etc.

Prior art

In general, test terminal pins are installed in a microcomputer for evaluation, mass production, etc. In other words, prescribed test mode setup data are given to the test terminal pins of said microcomputer, so that said microcomputer is operated at a test mode based on the test mode setup data. As a result, whether or not said microcomputer inside is normally operated is decided. For example, in the microcomputer for evaluation, programs have been evaluated by implementing the test mode, and in the microcomputer for mass production, shipping has been selected using the implementation results of the test mode.

Problems to be solved by the invention

However, in the above-mentioned prior art, in case there are several kinds of test modes for test-operating the microcomputer, the number of bits of the above-mentioned test mode setup data is also required in accordance with the number of said test mode. For example, in case there are 16 kinds of test modes (oscillation test, program evaluation, external instruction operation, etc.), it is necessary to constitute the above-mentioned test mode setup data by 4 bits. In other words, in the test terminal pins of the conventional computer, since only the test mode setup data of 1 bit was given, it was necessary to install four test terminal pins in said microcomputer to give the above-mentioned test mode setup data of 4 bits to said microcomputer. In other words, if the number of test modes was increased, the number of bits of the test mode setup data also tended to increase. In other words, if the number of test modes was increased, increasing the test terminal pin become inevitable.

Therefore, in case the number of test terminal pins was increased with the increase of the number of test modes in a microcomputer of one chip, since the absolute total number of pins in one chip was increased, the package was made large in scale. Furthermore, in the microcomputer of one chip in which the total number of bits was limited, as mentioned above, in case the number of test terminal pins was increased, a certain function for operating said microcomputer

had to be sacrificed as much as the increase portion of said test terminal pin, so that said microcomputer was not sufficiently exerted.

Means to solve the problems

In order to solve the above-mentioned problems, the present invention provides a test mode setup circuit of a microcomputer characterized by the fact that in a test mode setup circuit of a microcomputer that generates a test mode control signal for setting the microcomputer inside to a prescribed test mode, it is equipped with a test mode permit terminal to which a test mode permit signal for permitting the setup of the above-mentioned test mode is given, a setup data applying terminal to which test mode setup data of the number of bits corresponding to the number of test modes settable in the above-mentioned microcomputer are serially given, a shift register to which the test mode setup data of the above-mentioned number of bits are sequentially shifted, a shift clock control circuit that generates a shift clock for shifting the above-mentioned shift register based on a generation period of one level in the above-mentioned test mode permit signal and said test mode permit signal, and a test mode decoder that generates the above-mentioned test mode control signal by decoding the stored contents of the above-mentioned shift register based on the other level of said test mode permit signal after the generation of one level in the above-mentioned test mode permit signal.

Operation

The present invention pertains to a test mode setup circuit of a microcomputer which is appropriately installed in microcomputers for evaluation, mass production, etc., and has the following effects. In other words, in the constitution of the above-mentioned (d), first, if one level of a test mode permit signal is generated only for a prescribed period, a shift clock is generated only for the period from the shift clock control circuit, and test mode setup data of a prescribed number of bits are serially sequentially stored via the setup data applying terminal based on said shift clock. Then, if the above-mentioned test mode permit signal is at the other level, the test data decoder decodes the stored contents of the above-mentioned shift register based on said test mode permit signal held at the other level. As a result, a test mode control signal (decoded output) for setting the microcomputer inside to a prescribed test mode is generated from said test mode decoder.

Thus, in order to increase the number of said test mode control signals, the number of bits of the test mode setup data being serially accumulated in the shift register may increase (the shift register of the number of bits equal to the number of bits of the test mode setup data may be installed). In other words, the number of setup data applying terminals being installed in the

microcomputer is always one pin, regardless of the number of test mode control signals. In other words, the package can be miniaturized, and the functions in the microcomputer can be fulfilled.

Application example

The present invention is explained in detail by an application example shown in the figures.

Figure 1 is a block diagram showing the test mode setup circuit of a microcomputer of the present invention. Figures 2a, ..., and j are respectively timing flow charts showing each waveform in Figures 1a, ..., and j.

The numerals and the constitution in Figure 1 are explained. (1) is a shift register being constituted by n bits (n : natural number), and in said shift register (1), test mode setup data of n bits for generating test mode control signals TM0-TM (2^n-1), which will be mentioned later, are preset from a data bus (2). Here, it is specifically assumed that said shift register (1) is constituted by 4 bits and 4-bit data of "D3, D2, D1, and D0" of Figure 2f are preset in parallel from the LSB side to the MSB side in said shift register (1).

(3) is a clock generating circuit, and an oscillation clock of Figure 2a is generated from said clock generating circuit (3). (4) is a fall detecting circuit, and said fall detecting circuit (4) generates a fall detecting pulse of Figure 2c each time the fall of the oscillation clock of Figure 2a is detected. (5) is a reset generating circuit, and if a test start signal of Figure 2b and a fall detecting pulse of Figure 2c for a test operation of a microcomputer (6), which will be mentioned later, are provided to said reset generating circuit (5), a reset signal (test mode permit signal) of Figure 2d, which rises from "0" to "1," is generated from said reset generation circuit (5) by logic product "1" of Figures 2b and c.

(7) is a T type flip-flop (hereinafter, called T-FF). The reset signal of Figure 2d is applied to an R (reset) terminal of said T-FF (7), and the oscillation clock of Figure 2a is applied to a T (trigger) terminal. In other words, if the reset signal of "1" (one level) of Figure 2d is applied to the R terminal of the above-mentioned T-FF (7), the reset of said T-FF (7) is released, so that a frequency-divided output of Figure 2e in which the oscillation clock of Figure 2a is frequency-divided into $\frac{1}{2}$ is output from an \bar{Q} (inverted output) terminal of said T-FF (7). Therefore, the above-mentioned shift register (1) carries out a shift operation, using Figure 2e as a shift clock, and specifically, the test mode setup data D0, D1, D2, and D3 of Figure 2f preset in said shift register (1) are synchronized with the fall of Figure 2e and sequentially read out of the MSB side of said shift register (1).

(8) is an n -numbering counter, and the oscillation clock of Figure 2a generated from the above-mentioned clock generating circuit (3) and the output of Figure 2e being obtained from the

\overline{Q} terminal of the above-mentioned T-FF (7) are given to said n-numbering counter (8). Also, in this application example, said counter (8) is set to a quaternary digit to correspond to the shift register (1) with the above-mentioned 4-bit constitution. Thus, said quaternary counter (8) counts the fall times of the output of Figure 2e four times, detects the fall of the oscillation clock of Figure 2a for the rise period "1" of Figure 2e immediately after that, and generates a reset control pulse of Figure 2g. Therefore, if a reset control pulse of Figure 2g is applied to the above-mentioned reset generating circuit (5), a reset signal d which falls from "1" to "0" is generated from said reset generating circuit (5). The above-mentioned T-FF (7) is reset by the fall of the reset signal d, and the shift operation of the above-mentioned shift register (1) is prohibited immediately after the output end of the above-mentioned test mode setup data.

The above constitution is a circuit externally attached to the microcomputer (6) of one chip, which will be mentioned later, and said circuit prepares for reset signal, test mode setup data, and oscillation clock for the above-mentioned microcomputer (6) of one chip.

Next, (6) shown by an alternating long and short dashed line is the above-mentioned microcomputer of one chip for evaluation, mass production, etc., and said microcomputer (6) includes the following constitutions. Each constitution is sequentially explained below. (9) is a reset terminal (test mode permit terminal), and the reset signal of Figure 2d generated from the above-mentioned reset generating circuit (5) is applied to said reset terminal (9). (10) is a test terminal (setup data applying terminal), and the test mode setup data D0, D1, D2, and D3 of Figure 2e sequentially generated from the MSB side of the above-mentioned shift register (1) are sequentially serially given to said test terminal (10). (11) is a clock terminal, and the oscillating clock of Figure 2a generated from the above-mentioned clock generating circuit (3) is applied to said clock terminal (11).

(12) is a rise detecting circuit for detecting the rise of the reset signal of Figure 2d, and the oscillation clock of Figure 2a and the reset signal of Figure 2d are given to said rise detecting circuit (12). In other words, a so-called rise detecting pulse of Figure 2i, which rises from "0" to "1" by synchronizing with the rise of the reset signal of Figure 2d and falls from "1" to "0" by synchronizing with the fall of the oscillation clock of Figure 2a, is generated from said rise detecting circuit (12). Also, (13) is a fall detecting circuit for detecting the fall of the above-mentioned reset signal, and the oscillation clock of Figure 2a and the reset signal of Figure 2d are similarly given to said fall detecting circuit (13). In other words, a so-called fall detecting pulse of Figure 2j, which rises by synchronizing with the rise of the reset signal of Figure 2d and falls by synchronizing with the fall of the oscillation clock of Figure 2a, is generated from said fall detecting circuit (13).

(14) is a shift clock control circuit, and the oscillation clock Figure 2a, the rise detecting pulse of Figure 2i, and the fall detecting pulse of Figure 2j are given to said shift clock control circuit (14). In other words, said shift clock control circuit (14) is operated by applying the rise detecting pulse of Figure 2i, and the operation is prohibited by applying the fall detecting pulse of Figure 2j. Specifically, for "1" (one level) period of the reset signal d from the generation of the above-mentioned rise detecting pulse to the generation of above-mentioned fall detecting pulse, a so-called frequency-divided output of Figure 2h, in which $\frac{1}{2}$ frequency division is started from the rise of the oscillation clock of Figure 2a, is generated as a shift clock from said shift clock control circuit (14). Also, the shift clock of Figure 2h generated from said shift clock control circuit (14) shifts a shift register (15) which will be mentioned later.

(15) is a shift register with the above-mentioned n-bit constitution, and the test mode setup data of Figure 2f and the shift clock of Figure 2h are given to said shift register (15). Here, in consideration of the correspondence to the shift register (1) with the 4-bit constitution, said shift register (15) also has a 4-bit constitution. In other words, the test mode setup data D0, D1, D2, and D3 of Figure 2f are sequentially shifted from the LSB side to the MSB side of said shift register (15) by synchronizing with the fall of the shift block of Figure 2h and stored. Also, the reason why said shift register (15) is shifted at the fall timing of the shift clock of Figure 2h is that as seen from the timing of 2f and h, the generation state of the test mode setup data of Figure 2f at the fall of the shift clock of Figure 2h is most stable.

(16) is a test mode decoder, and the reset signal of Figure 2d and the stored contents of the above-mentioned shift register (15) are given to said test mode decoder (16). In other words, in a state of "0" (the other level) after the fall of the above-mentioned reset signal, said test mode decoder (16) is operated, so that the test mode control signals TM0-TM (2^n-1) in which the stored contents of the above-mentioned shift register (15) are decoded are generated (for example, it is assumed that one of the TM0-TM(2^n-1) is "1" and a prescribed test mode is implemented by said "1") from said test mode decoder (16). Here, since the stored data of said shift register (15) are 4 bits, $16 (= 2^4)$ kinds of test mode control signals TM0-TM15 can be generated from said test mode decoder (16). 16 kinds of test modes can be generated from said test mode decoder (16). 16 kinds of test modes can be set in the above-mentioned microcomputer (6) by these 16 kinds of respective test mode control signals TM0-TM15. Also, the above-mentioned shift register (15) sequentially gives the stored contents to said test mode decoder (16) each time the shift operation is carried out; however, since the reset signal of Figure 2d is at "1" level during the shift operation of said shift register (15), the decoding operation of said test mode decoder (16) is prohibited. Therefore, at that time, a wrong test mode control signal is not likely to be generated from said test mode decoder (16).

Hereto, the constitution of the inside of the above-mentioned microcomputer (6) has been explained.

In other words, the reset signal of Figure 2d is applied to the reset terminal (9), and one of 16 kinds settable by the test mode setup data "D0, D1, D2, and D3" of Figure 2f is serially, sequentially added to the test terminal (10). Furthermore, if the oscillation clock of Figure 2a is applied to the clock terminal (11), the test mode control signals TM0-TM15 in which only one of them is "1" are generated from the test mode decoder (16) after the fall of the reset signal. Thus, the microcomputer (6) implements a prescribed test mode based on any test mode control signal being "1." Also, the change of the test mode being implemented in the microcomputer (6) means the change of the test mode control signal. In other words, for this purpose, the test mode setup data to be preset in the shift register (1) may be only changed, and the operation for this purpose is easy.

Thus, the number of bits of the test mode setup data may be only increased to increase the number of test mode control signals. In other words, the shift register (15) with the number of bits equal to the number of bits of the test mode setup data may be only installed. Therefore, the number of test terminals (10) installed in the microcomputer (6) may always be one pin, regardless of the number of test mode control signals, so that the package of one chip can be miniaturized and the functions in one chip can be fulfilled.

Effect of the invention

According to the present invention, the number of bits of the test mode setup data may be only increased to increase the number of test mode control signals. In other words, the shift register with the number of bits equal to the number of bits of the test mode setup data may be only installed. Therefore, the number of setup data applying terminals installed in the microcomputer may always be one pin, regardless of the number of test mode control signals, so that the package of the microcomputer can be miniaturized and the functions can be fulfilled.

Brief description of the figures

Figure 1 is a block diagram showing the test mode setup circuit of a microcomputer of the present invention. Figure 2 is a timing chart showing each part waveform of Figure 1.

- (6) Microcomputer
- (9) Reset terminal
- (10) Test terminal
- (14) Shift clock control circuit
- (15) Shift register
- (16) Test mode decoder

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-188836

⑬ Int. Cl.⁵

G 06 F 11/22
15/78

識別記号

3 1 0 D
5 1 0 K

庁内整理番号

7368-5B
7343-5B

⑭ 公開 平成2年(1990)7月24日

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 マイクロコンピュータのテストモード設定回路

⑯ 特 願 平1-8370

⑰ 出 願 平1(1989)1月17日

⑱ 発 明 者 今 義 彦 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
⑲ 出 願 人 三洋電機株式会社 大阪府守口市京阪本通2丁目18番地
⑳ 代 理 人 弁理士 西野 卓嗣 外2名

PTO 2004-0748

S.T.I.C. Translations Branch

明 細 書

1. 発明の名称

マイクロコンピュータのテストモード設定回路

2. 特許請求の範囲

(1) マイクロコンピュータ内部を所定のテストモードに設定する為のテストモード制御信号を発生するマイクロコンピュータのテストモード設定回路において、

前記テストモードの設定を許可する為のテストモード許可信号が印加されるテストモード許可端子と、

前記マイクロコンピュータに設定可能なテストモード数に対応するビット数のテストモード設定データが、シリアルに印加される設定データ印加端子と、

前記所定ビット数のテストモード設定データが順次シフトされるシフトレジスタと、

前記テストモード許可信号における一方のレベルの発生期間、該テストモード許可信号に基づいて、前記シフトレジスタをシフト動作させる為の

シフトクロックを発生するシフトクロック制御回路と、

前記テストモード許可信号における一方のレベルの発生後、該テストモード許可信号の他方のレベルに基づいて、前記シフトレジスタの蓄積内容をデコードして前記テストモード制御信号を発生するテストモードデコードと、

を備えたことを特徴とするマイクロコンピュータのテストモード設定回路。

3. 発明の詳細な説明

(イ) 産業上の利用分野

本発明は、評価用、量産用等のマイクロコンピュータに設けて好適な、マイクロコンピュータのテストモード設定回路に関するものである。

(ロ) 従来の技術

一般に、評価用、量産用等のマイクロコンピュータには、テスト端子ピンが設けられている。即ち該マイクロコンピュータのテスト端子ピンに所定のテストモード設定データを印加することにより、該マイクロコンピュータを、テスト

モード設定データに基づくテストモードで動作させ、この結果、該マイクロコンピュータ内部が正常に動作しているか否かを判断していた。例えば評価用マイクロコンピュータにおいては、テストモードを実行することによりプログラム評価を行ったり、また量産用マイクロコンピュータにおいては、テストモードの実行結果を用いて出荷選別を行ったりしていた。

(ハ) 発明が解決しようとする課題

しかしながら前記従来の技術において、マイクロコンピュータをテスト動作させるテストモードが幾種類もある場合、該テストモードの数に応じて前記テストモード設定データのビット数も必要となる。例えばテストモードが16種類(発振テスト、プログラム評価、外部命令動作等…)ある場合、前記テストモード設定データを4ビットで構成することが必要となる。つまり従来のマイクロコンピュータのテスト端子ピンには、1ビット分のテストモード設定データのみが印加される様になっている為、上述した4ビットのテストモー

ド設定データを該マイクロコンピュータに印加するには、該マイクロコンピュータにテスト端子ピンを4ピン設ける必要があった。即ちテストモードの数が増加すると、テストモード設定データのビット数も増加する傾向にあり、言い換えれば、テストモードの数を増加させると、テスト端子ピンも必然的に増加せざるを得なかった。

従って、1チップのマイクロコンピュータにおいて、テストモード数の増加に伴い、テスト端子ピンの数を増加させた場合、1チップにおける絶対的な総ピン数が増加することから、パッケージが大型化してしまう問題点があった。更に、総ピン数の限られた1チップのマイクロコンピュータにおいて、上述の如くテスト端子ピンの数を増加させた場合、該テスト端子ピンの増加分だけ、該マイクロコンピュータを動作させる為の何らかの機能を犠牲にしなければならず、これより該マイクロコンピュータは充分な機能を果たさなくなる等の問題点があった。

(ニ) 課題を解決するための手段

- 3 -

本発明は、前記問題点を解決するためのものであり、マイクロコンピュータ内部を所定のテストモードに設定する為のテストモード制御信号を発生するマイクロコンピュータのテストモード設定回路において、

前記テストモードの設定を許可する為のテストモード許可信号が印加されるテストモード許可端子と、

前記マイクロコンピュータに設定可能なテストモード数に対応するビット数のテストモード設定データが、シリアルに印加される設定データ印加端子と、

前記所定ビット数のテストモード設定データが順次シフトされるシフトレジスタと、

前記テストモード許可信号における一方のレベルの発生期間、該テストモード許可信号に基づいて、前記シフトレジスタをシフト動作させる為のシフトクロックを発生するシフトクロック制御回路と、

前記テストモード許可信号における一方のレベ

ルの発生後、該テストモード許可信号の他方のレベルに基づいて、前記シフトレジスタの蓄積内容をデコードして前記テストモード制御信号を発生するテストモードデコードと、

を備えたことを特徴とするマイクロコンピュータのテストモード設定回路である。

(*) 作用

本発明は、評価用、量産用等のマイクロコンピュータに設けて好適なマイクロコンピュータのテストモード設定回路であり、以下の如く有効である。即ち前記(ニ)項記載の構成において、まずテストモード許可信号の一方のレベルが所定期間だけ発生すると、シフトクロック制御回路からシフトクロックがこの期間だけ発生し、該シフトクロックに基づいて、所定ビット数のテストモード設定データが設定データ印加端子を介してシフトレジスタにシリアルに順次蓄積される。その後、前記テストモード許可信号が他方のレベルになると、他方のレベルに保持された該テストモード許可信号に基づいて、テストデータデコードは前記

- 4 -

- 5 -

- 6 -

シフトレジスタの蓄積内容をデコードし、その結果、該テストデータデコードからは、マイクロコンピュータ内部を所定のテストモードに設定する為のテストモード制御信号(デコード出力)が発生することになる。

以上より、このテストモード制御信号の数を増加するには、シフトレジスタにシリアルに蓄積されるテストモード設定データのビット数を増加すればよく(テストモード設定データのビット数に等しいビット数のシフトレジスタを設ければよく)、即ちマイクロコンピュータに設ける設定データ印加端子の数は、テストモード制御信号の数に関係なく常に1ピンでよいことになる。即ちパッケージの小型化、及びマイクロコンピュータにおける機能の充実に貢献できる。

(ハ) 実施例

本発明の詳細を図示の実施例により具体的に説明する。

第1図は本発明のマイクロコンピュータのテストモード設定回路を示すブロック図、第2図a…

jは夫々第1図a…jにおける各波形を示すタイミングチャートである。

第1図について符号及び構成を説明すると、(1)は n (n :自然数)ビットで構成されるシフトレジスタであり、該シフトレジスタ(1)には、後述のテストモード制御信号 $TM0 \sim TM(2^n - 1)$ を発生させる為の n ビットのテストモード設定データがデータバス(2)からプリセットされている。ここで、具体化の為、該シフトレジスタ(1)を4ビット構成とし、該シフトレジスタ(1)にはLSBからMSB側に向かって第2図fの「D3, D2, D1, D0」の4ビットデータが平行にプリセットされているものとする。

(3)はクロック発生回路であり、該クロック発生回路(3)からは第2図aの発振クロックが発生する。(4)は立下り検出回路であり、該立下り検出回路(4)は、第2図aの発振クロックの立下りを検出する毎に第2図cの立下り検出パルスが発生する。(5)はリセット発生回路であり、該リセット発生回路(5)に後述のマイクロコンピュ

タ(6)をテスト動作させる為の第2図bのテストスタート信号及び第2図cの立下り検出パルスが印加されると、第2図b及びcの論理積「1」により、該リセット発生回路(5)からは「0」から「1」に立上った第2図dのリセット信号(テストモード許可信号)が発生する。

(7)はT型フリップフロップ(以下T-FFと称す)であり、該T-FF(7)のR(リセット)端子には第2図dのリセット信号が印加され、T(トリガ)端子には第2図aの発振クロックが印加される。つまり、第2図dの「1」(一方のレベル)のリセット信号が前記T-FF(7)のR端子に印加されると、該T-FF(7)はリセット解除され、これより第2図aの発振クロックを1/2分周した第2図eの分周出力が該T-FF(7)の \bar{Q} (反転出力)端子から出力される。従って前記シフトレジスタ(1)は、第2図eをシフトクロックとしてシフト動作し、詳しくは該シフトレジスタ(1)にプリセットされている第2図fのテストモード設定データD0, D1, D2, D3

が、第2図eの立下りに同期して該シフトレジスタ(1)のMSB側から順次読み出されることになる。

(8)は n 進カウンタであり、該 n 進のカウンタ(8)には、前記クロック発生回路(3)から発生する第2図aの発振クロックと、前記T-FF(7)の \bar{Q} 端子から得られる第2図eの出力が印加される。尚、本実施例において、前記4ビット構成のシフトレジスタ(1)に対応させるために、該カウンタ(8)を4進に設定する。すると該4進のカウンタ(8)は、第2図e出力の立下り回数を4回カウントし、その直後の第2図eの立上り期間「1」において第2図aの発振クロックの立下りを検出し、第2図gのリセット制御パルスが発生する。従って前記リセット発生回路(5)に第2図gのリセット制御パルスが印加されると、該リセット発生回路(5)からは「1」から「0」に立下ったりリセット信号dが発生することになる。このリセット信号dの立下りによって前記T-FF(7)はリセットされ、前記シフトレジスタ(1)のシ

フト動作は前記テストモード設定データの出力終了直後に禁止される。

以上の構成は、後述の1チップのマイクロコンピュータ(6)に対して外付の回路であり、該回路は、1チップの前記マイクロコンピュータ(6)の為のリセット信号、テストモード設定データ、及び発振クロックを作成するものである。

次に一点鎖線の(6)は前述した1チップの評価用、量産用等のマイクロコンピュータであり、該マイクロコンピュータ(6)は以下の構成を含む為、その個々の構成を以下に順次説明する。(9)はリセット端子(テストモード許可端子)であり、該リセット端子(9)には、前記リセット発生回路(5)から発生する第2図dのリセット信号が印加される。(10)はテスト端子(設定データ印加端子)であり、該テスト端子(10)には、前記シフトレジスタ(1)のMSB側から順次発生する第2図fのテストモード設定データD0, D1, D2, D3が順次シリアルに印加される。(11)はクロック端子であり、該クロック端子(11)には、前

記クロック発生回路(3)から発生する第2図aの発振クロックが印加される。

(12)は、第2図dのリセット信号の立上りを検出する立上り検出回路であり、該立上り検出回路(12)には第2図aの発振クロックと第2図dのリセット信号が印加される。即ち該立上り検出回路(12)からは、第2図dのリセット信号の立上りに同期して「0」から「1」に立上り、その後第2図aの発振クロックの立下りに同期して「1」から「0」に立下る、所謂第2図iの立上り検出パルスが発生する。また(13)は、前記リセット信号の立下りを検出する立下り検出回路であり、同様に該立下り検出回路(13)にも第2図aの発振クロックと第2図dのリセット信号が印加される。即ち該立下り検出回路(13)からは、第2図dのリセット信号の立下りに同期して立上り、その後第2図aの発振クロックの立下りに同期して立下る、所謂第2図jの立下り検出パルスが発生する。

(14)はシフトクロック制御回路であり、該シフ

-11-

トクロック制御回路(14)には、第2図aの発振クロック、第2図iの立上り検出パルス、及び第2図jの立下り検出パルスが印加される。即ち該シフトクロック制御回路(14)は、第2図iの立上り検出パルスが印加されることによって動作し、第2図jの立下り検出パルスが印加されることによって動作を禁止される。詳しくは、前記立上り検出パルスが発生してから前記立下り検出パルスが発生する迄のリセット信号dの「1」(一方のレベル)期間において、該シフトクロック制御回路(14)からは、第2図aの発振クロックの立上りから1/2分周を開始した、所謂第2図hの分周出力がシフトクロックとして発生する。尚、該シフトクロック制御回路(14)から発生する第2図hのシフトクロックは、後述のシフトレジスタ(15)をシフト動作させる為のものである。

(15)は前述したnビット構成のシフトレジスタであり、該シフトレジスタ(15)には、第2図fのテストモード設定データと第2図hのシフトクロックが印加される様になっている。ここで前記

-12-

4ビット構成のシフトレジスタ(1)への対応を考慮して、該シフトレジスタ(15)も4ビット構成とする。即ち第2図fのテストモード設定データD0, D1, D2, D3は、第2図hのシフトクロックの立下りに同期して、該シフトレジスタ(15)のLSB側からMSB側に順次シフトされて蓄積される。尚、第2図hのシフトクロックの立下りのタイミングで該シフトレジスタ(15)をシフト動作させる理由は、第2図f, hのタイミングを見て明らかな様に、第2図hのシフトクロックの立下り時における第2図fのテストモード設定データの発生状態が一番安定しているからである。

(16)はテストモードデコードであり、該テストモードデコード(16)には第2図dのリセット信号と前記シフトレジスタ(15)の蓄積内容が印加される。即ち前記リセット信号が立下った後の「0」(他方のレベル)の状態において、該テストモードデコード(16)は動作し、よって該テストモードデコード(16)からは、前記シフトレジスタ(15)の

-13-

-14-

蓄積内容をデコードしたテストモード制御信号 $TM_0 \sim TM(2^n - 1)$ が発生する(例えば $TM_0 \sim TM(2^n - 1)$ の何れか 1 つが「1」になって、この「1」によって所定のテストモードが実行されるものとする)。ここで該シフトレジスタ(15)の蓄積データは 4 ビットであることから、該テストモードデコード(16)からは $16 (= 2^4)$ 種類のテストモード制御信号 $TM_0 \sim TM_{15}$ が発生可能となる。これ等の 16 種類の各テストモード制御信号 $TM_0 \sim TM_{15}$ によって、前記マイクロコンピュータ(6)内部に 16 種類のテストモードを設定できることになる。尚、前記シフトレジスタ(15)はシフト動作を行なう毎に蓄積内容を該テストモードデコード(16)に逐次印加しているが、該シフトレジスタ(15)のシフト動作の途中では第 2 図 d のリセット信号が「1」レベルであることから、該テストモードデコード(16)のデコード動作は禁止されており、よってこの時該テストモードデコード(16)から誤ったテストモード制御信号が発生する心配はない。

- 15 -

以上より、テストモード制御信号の数を増加するには、テストモード設定データのビット数を増加すればよく、即ちテストモード設定データのビット数と等しいビット数のシフトレジスタ(15)を設ければよい。従ってマイクロコンピュータ(6)に設けるテスト端子(10)の数は、テストモード制御信号の数に関係なく常に 1 ピンだけでよく、これより 1 チップのパッケージの小型化、及び 1 チップにおける機能の充実に貢献できることになる。

(ト) 発明の効果

本発明によれば、テストモード制御信号の数を増加するには、テストモード設定データのビット数を増加すればよく、即ちテストモード設定データのビット数と等しいビット数のシフトレジスタを設ければよいことになる。従ってマイクロコンピュータに設ける設定データ印加端子の数は、テストモード制御信号の数に関係なく常に 1 ピンだけでよく、これよりマイクロコンピュータのパッケージの小型化、及び機能の充実に貢献できる

以上が前記マイクロコンピュータ(6)内部の構成である。

つまり、第 2 図 d のリセット信号がリセット端子(9)に印加され、また第 2 図 f のテストモード設定データ「 D_0, D_1, D_2, D_3 」で設定可能な 16 通りの内の何れか 1 通りがテスト端子(10)にシリアルに順次印加され、更に第 2 図 a の発振クロックがクロック端子(11)に印加されると、リセット信号の立下り後に、テストモードデコード(16)からは何れか 1 つだけ「1」となるテストモード制御信号 $TM_0 \sim TM_{15}$ が発生する。これよりマイクロコンピュータ(6)は、「1」となった何れかのテストモード制御信号に基づいて、所定のテストモードを実行することになる。尚、マイクロコンピュータ(6)内部で実行されるテストモードを変更するということは、テストモード制御信号を変更することであり、即ちその為には、シフトレジスタ(1)にプリセットすべきテストモード設定データを変更するだけでよく、その為の操作は容易である。

- 16 -

利点が得られる。

4. 図面の簡単な説明

第 1 図は本発明のマイクロコンピュータのテストモード設定回路を示すブロック図、第 2 図は第 1 図の各部波形を示すタイミングチャートである。

(6)…マイクロコンピュータ、(9)…リセット端子、(10)…テスト端子、(14)…シフトクロック制御回路、(15)…シフトレジスタ、(16)…テストモードデコード。

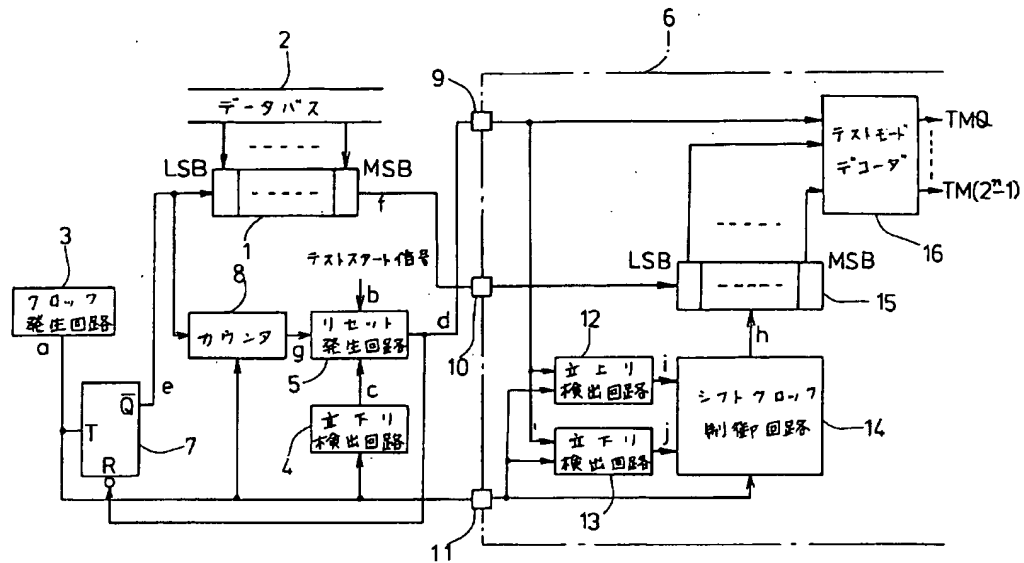
出願人 三洋電機株式会社

代理人 弁理士 西野卓朗 外 2 名

- 17 -

- 18 -

第 1 図



第 2 図

